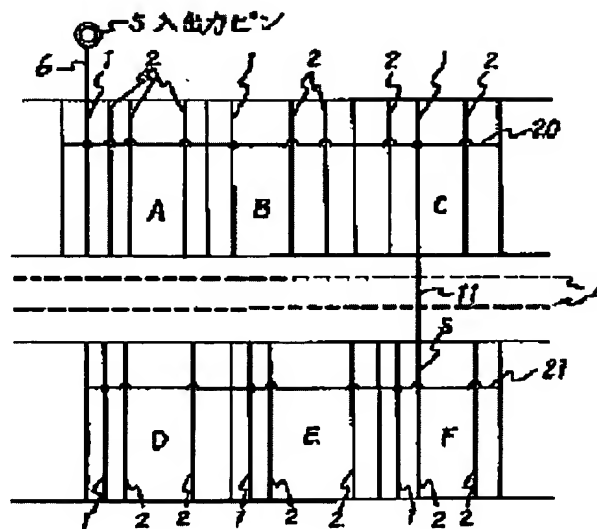


SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent number: JP5198673
Publication date: 1993-08-06
Inventor: OKUMURA KENJI
Applicant: NEC IC MICROCOMPUT SYST LTD
Classification:
- **international:** H01L21/82; H01L21/90
- **european:**
Application number: JP19920008864 19920122
Priority number(s):

Abstract of JP5198673

PURPOSE: To reduce a wiring region by arranging right and left passing wirings connected to up and down passing wirings to a cell inside the cell of a semiconductor integrated circuit.
CONSTITUTION: A single or a plurality of wiring layers such as aluminum or polysilicon are used inside a cell of a semiconductor integrated circuit. A passing wiring 1 in up and down directions to the cell and right and left passing wirings 20, 21 connected thereto are arranged. A wiring region is reduced in this way.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-198673

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl.⁵

H 0 1 L 21/82

21/90

識別記号

庁内整理番号

F I

技術表示箇所

B 7735-4M

9169-4M

9169-4M

H 0 1 L 21/ 82

B

W

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号

特願平4-8864

(22)出願日

平成4年(1992)1月22日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会
社

神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 奥村 賢治

神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

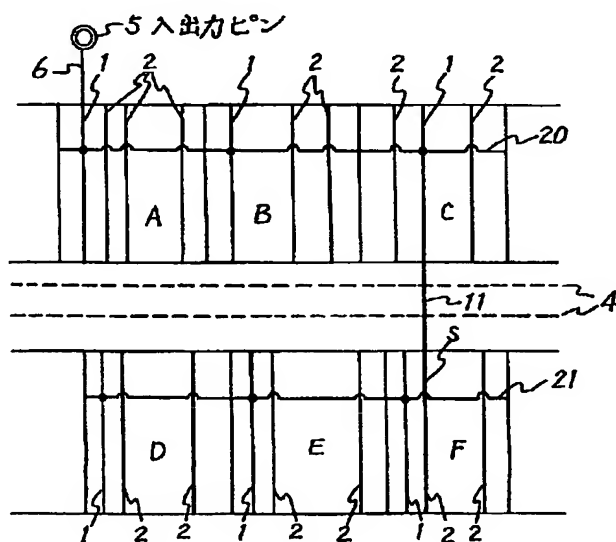
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】半導体集積回路のセル内に、セルに対して上下方向の通過配線と接続する左右方向の通過配線を配置する事で、配線領域を減少すること。

【構成】半導体集積回路のセル内に、アルミニウムやポリシリコンなどの配線層を用い、これらと単一もしくは複数層使用し、セルに対して上下方向の通過配線1と、これに接続する左右の通過配線20、21を配置し、配線領域を減少する。



1

【特許請求の範囲】

【請求項1】 半導体チップ上に、セル内部に上下に通過する第1の通過配線と、前記配線に接続し左右に通過する第2の通過配線とを有することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路装置に関し、特にスタンダードセル方式のセル内部の通過配線に関する。

【0002】

【従来の技術】 従来の半導体集積回路装置は、スタンダードセル方式の場合、セルーセル間、セルーピン間の配線が、他配線の妨げとならないように、配線領域は主にセル列に対して上下方向ではセル内部信号を引きだす層（これを第1層とする）、左右方向は第1層とは別の層（これを第2層とする）を使用する。

【0003】 従って、図2に示すように、入出力ピン5とセルFの信号線Sとを接続する場合、セルA、B、Cの列を通過する第1層通過配線1が必要であり、全セル内に上下方向に通過配線1を配置する。ここで、セルAとセルFが左右方向に離れている場合、前述したように、他セル間の配線を妨げないように、セルAの通過配線1より、第1層配線7で、これと第2層配線3との接続部（これをコンタクト10とする）まで配線し、同様にセルFの信号線Sより、第1層配線8でコンタクト9まで配線し、コンタクト10とコンタクト9との間を第2層配線3で接続する。

【0004】 尚、入出力ピンは、第1層配線6、第1層通過配線1、第1層配線7、コンタクト10、第2層配線3、コンタクト9、第1層配線8、信号線Sを通して、セルFに至る。上下方向には、第1層通過配線1、第1層入出力配線2があり、左右方向には、第2層配線3、4がある。

【0005】

【発明が解決しようとする課題】 このような従来のセル内部の上下方向の通過配線1では、前述の様に、使用した通過配線1のセルAと接続するセルFが離れている場合、配線領域に於てコンタクト9、10及び第2層配線3を使用する為、配線領域の面積が増大するという問題点があった。また第2層配線3が高抵抗の場合、特に自動レイアウトに於ては、遅延値がコントロールできないという問題点もあった。

2

【0006】 本発明の目的は、前記問題点を解決し、配線領域の面積を増大させず、かつ遅延値を低くコントロールできるようにした半導体集積回路装置を提供することにある。

【0007】

【課題を解決するための手段】 本発明の半導体集積回路装置の構成は、半導体チップ上に、セル内部に上下に通過する第1の通過配線と、前記配線に接続し左右の第2の通過配線とを備えていることを特徴とする。

10 【0008】

【実施例】 図1は本発明の一実施例の半導体集積回路装置の平面図である。

【0009】 図1において、本実施例では、セルA～F内に上下方向の第1層通過配線1を配置し、これを隣り合うセルの左右方向の通過配線20、21と接続するように配置する。通過配線20、21は単一層でも可能であるし、複数の層と組み合わせる事も可能である。

【0010】 入出力ピン5とセルF内の信号線Sとを接続する場合、セルA、B、C内の左右の通過配線20を使用する事により、全く他のセル間配線を妨げる事なく、第1層のみで配線が可能となる。配線20、21間接続は、第1層配線11のみで可能である。従って、第2層配線4は、使用しないで済む。

【0011】

【発明の効果】 以上説明したように、本発明は、セル内に左右方向の通過配線を備えている為、配線領域の配線本数を増やす事なく、セル列を通過する配線が可能であり、また単一層での配線が可能とな為、遅延値が問題となる半導体集積回路装置にも、抵抗値が低い層を配線層として使用する事により、遅延値の検証を除けるという効果を有する。

【図面の簡単な説明】

【図1】 本発明の一実施例の半導体集積回路装置の平面図である。

【図2】 従来の半導体集積回路装置の平面図である。

【符号の説明】

- 1 第1層通過配線
- 2 第1層入出力配線
- 3, 4 第2層配線
- 5 入出力ピン
- 6, 7, 8, 11 第1層配線
- 9, 10 コンタクト
- 20, 21 左右方向の配線

【図 2】

